

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—99688

⑬ Int. Cl.³
G 09 G 3/00

識別記号

府内整理番号
6453—5C

⑭ 公開 昭和57年(1982)6月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 表示装置駆動回路

⑯ 特 願 昭55—175468

⑰ 出 願 昭55(1980)12月11日

⑱ 発明者 中沢信男

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑲ 発明者 佐野健二

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑳ 発明者 木村征二

大阪市阿倍野区長池町22番22号
シャープ株式会社内

㉑ 出願人 シャープ株式会社

大阪市阿倍野区長池町22番22号

㉒ 代理人 弁理士 福士愛彦

明細書

ノ 発明の名称

表示装置駆動回路

ニ 特許請求の範囲

1. 表示画素の夫々に対応して設けられた電圧保持用コンデンサと、前記コンデンサへの書き込み用スイッチ素子と、前記コンデンサに書き込まれた電圧に応じて表示装置の表示画素を駆動するためのスイッチ素子と、前記駆動用スイッチング素子の駆動電圧を読み出すためスイッチ素子を具備してなる表示装置駆動回路。

ミ 発明の詳細な説明

本発明は、一枚の基板上に表示画素数に等しい駆動回路を並べて、走査信号により順次駆動回路内のスイッチング素子を開閉し、映像信号に相当する電圧をコンデンサに保持させ、表示装置駆動用スイッチング素子により、前記保持電圧に応じて画像表示を行う表示装置駆動回路に関するものである。

従来より、EL, LED, 液晶等の表示素子及

び螢光表示管を用いた平面画像装置が開発されており、特に螢光表示管を用いた表示装置が発表されている。

従来技術による螢光表示管を用いた表示装置駆動回路のノード分の等価回路を第1図に示す。

走査信号線 λ_3 によりMOSトランジスタ λ_2 がオノン状態となり、映像信号線 λ_1 の電圧が電圧保持用コンデンサ λ_4 に保持される。コンデンサ λ_4 に保持された電圧は螢光表示管駆動用トランジスタ λ_6 のゲート電圧となり、ドレイン電極 λ_7 の電圧を決定する。上記ドレイン電極 λ_7 に接続された螢光表示管のプレートには螢光体が塗布されているため、上記回路からなるスイッチングアレイの上に構成されたカソード電極 λ_8 より放出された電子が、同じくスイッチングアレイとカソード電極の間に構成されたグリッド電極 λ_9 により加速され、前記プレートの螢光体の電位に応じたエネルギーで螢光体に衝突し発光させる。

第1図のようなスイッチングアレイを縦方向及び横方向にマトリクス状に配列することにより任

意の画素数を持った平板状の面表示装置を構成することができる。このマトリクス状のスイッチングアレイをテレビの水平、垂直信号に相当する信号で走査すると、選択されたMOSトランジスタがオンして映像信号に応じた電圧が発光体とカソードの間に加わる。この時、同時に映像信号電圧がコンデンサにより保持されるので、非選択時でも発光体とカソード間の電圧は維持され、チラッキの少い安定した画像表示が可能となる。

さて、上記のような画像表示装置を製造する場合の最大の問題点は、LSI技術で作られるスイッチングアレイの部分欠陥による表示画面の線状欠陥や点欠陥であり、これら欠陥の数によっては商品性を失うことになる。又、従来のスイッチングアレイをLSIチップとしてシリコンウェハ上に作った場合、ウェハ段階での各チップのテストが不可能で、すべての組み立て工程を終って最終製品となった時点で、実際に表示動作をさせることにより初めて欠陥検査が可能となる。このため最終製品の歩留がLSIチップの歩留により決定

されるため製品価格は非常に高くなってしまう。本発明は上記欠点を除去するためになされたもので、LSIチップとして半導体基板上に作られたスイッチングアレイの欠陥検査をウェハ状態で行い、良品チップのみを以後の表示装置組み立て工程に供給することにより、表示装置組立て作業の効率化を図ることを目的としたものである。

以下図面を用いて本発明を説明する。まず第2図は上記第1図に対応させて示された本発明による1画素分の等価回路図で、第1図と共に番号1～6が付された各信号ライン、電圧保持用コンデンサ及びMOSトランジスタの動作については第1図と同じであるので省略する。第2図では発光表示管駆動用トランジスタ6と映像信号線1との間がテスト用MOSトランジスタ10により接続されている。該MOSトランジスタ10のゲート端子はテスト用信号線11に接続されており、テスト用信号線11の信号レベルによって発光表示管駆動用MOSトランジスタ6のドレイン側の電圧を映像信号ライン1に読み出すことが可能であ

る。

このように走査信号線3により映像信号線1よりMOSトランジスタ2を介して、電圧保持用コンデンサ4に印加された電圧は、MOSトランジスタ6及びテスト用信号線11により駆動されるMOSトランジスタ10を介して再び映像信号線1に読み出すことができる。当然ながら走査信号線3とテスト用信号線11は異った時刻に駆動されるので、MOSトランジスタ2とMOSトランジスタ10は同時にオンとなることは無く、映像信号線1は入出力線として動作する。次に上記1画素分のスイッチング回路が、表示画面に対応するべくマトリクスに配列された実施例を第3図を用いて説明する。第3図では第2図で示された表示駆動回路がX方向に4個C₁₁～C₄₁、Y方向に3個C₁₁～C₁₃のマトリクスとして配列された4×3個の画素の表示装置駆動回路を構成している。マトリクスの各駆動回路の選択は、ディレイフリップフロップD_{X1}～D_{X4}で構成されるXシフトレジスタと、ディレイフリップフロップ

D_{Y1}～D_{Y3}で構成されるYシフトレジスタにより実行される。YシフトレジスタD_{Y1}～D_{Y3}はYシフト入力S_YとYシフトクロックφ_Yにより順次シフト動作を行い、テスト入力T_Eが論理“0”の時はNANDゲートG₁、G₂、G₃により順次S₁、S₂、S₃の走査線が選択されていく。テスト入力が論理“1”的時は同様にNANDゲートG₄、G₅、G₆によりテスト用信号線T₁、T₂、T₃が順次選択されていく。

今、走査線S₁が選択されているとC₁₁、C₂₁、C₃₁、C₄₁の駆動回路の電圧保持容量への書き込みが可能となる。S₁が選択されている間、Yシフトレジスタと同様Xシフト入力S_XとXシフトクロックφ_XによりXシフトレジスタD_{X1}～D_{X4}が動作し、順次MOSトランジスタT_{R1}～T_{R4}が選択され、順次C₁₁、C₂₁、C₃₁、C₄₁内の電圧保持コンデンサに映像信号入力が書き込まれる。又、テスト入力T_Eが論理“1”で、T₁が選択されているときは順次C₁₁、C₂₁、C₃₁、C₄₁のコンデンサに保持された電圧がMOSト

トランジスタ T_{r1} ~ T_{r4} を介して映像信号線 1 , 2 , 3 に読み出される。以下走査線 S_2 , S_3 及びテスト用信号線 T_2 , T_3 についても同様の動作が行われる。

以上述べたように本発明によれば、ウェハーの状態で全駆動回路の欠陥検査を行うことができ、欠陥の無い良質の半導体基板を選んで表示装置の組み立てに供することができ表示装置を安価に製造することができる。

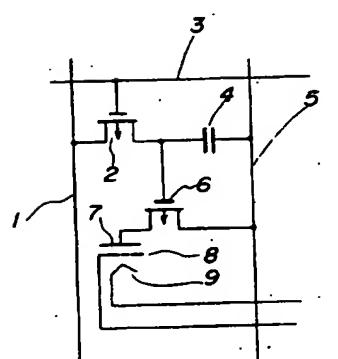
尚、上記実施例では簡単のためスイッチング素子としてPチャンネルMOSトランジスタを用いた回路を挙げたが、NチャンネルMOSトランジスタ、バイポーラトランジスタその他どのようなスイッチング素子でもよい。又、スイッチング素子を形成する基板はシリコン基板以外にどのような基板を用いてもよい。又、表示装置は螢光表示管以外、EL, LED, 液晶等どのような表示素子を用いててもよい。又、スイッチング素子を形成する基板は1つの表示装置一枚又は複数枚使用してもよい。

図面の簡単な説明

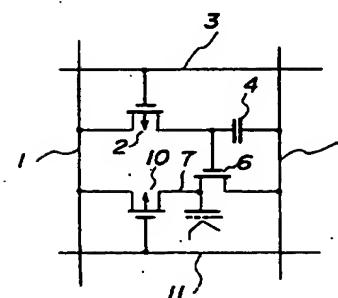
第1図は従来の表示装置の1画素を駆動させるための等価回路図、第2図は本発明による一実施例の1画素分の駆動回路の等価回路図、第3図は同駆動回路をマトリクスに配列した表示装置駆動回路図である。

1 : 映像信号線、 2 : 書込み用MOSトランジスタ、 3 : 走査線、 4 : 電圧保持コンデンサー、 5 : 表示画素駆動用MOSトランジスタ、 10 : 駆動電圧読み出し用MOSトランジスタ。

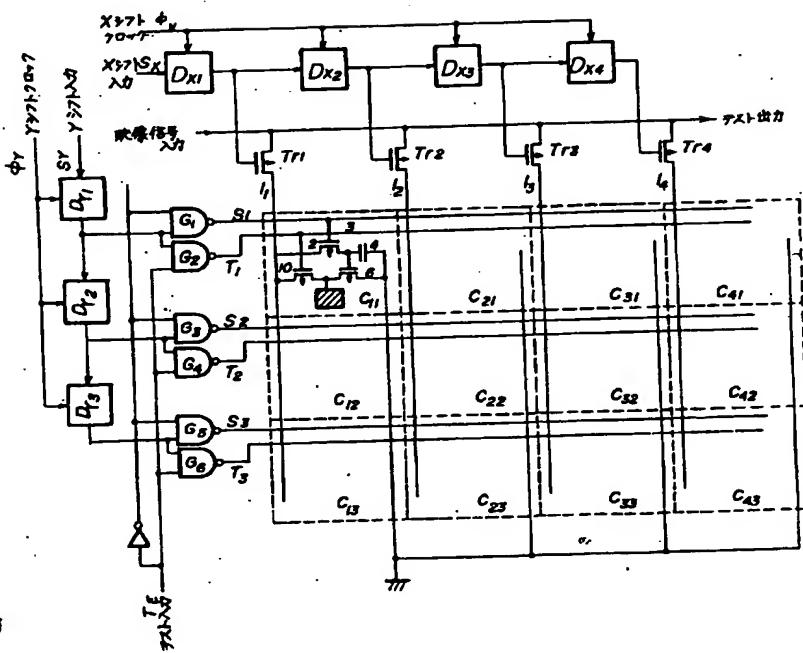
代理人 弁理士 福士 愛彦



第1図



第2図



第3図